

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-105277

(43)Date of publication of application : 10.06.1985

(51)Int.Cl.

H01L 29/78
// H01L 21/225

(21)Application number : 58-212050

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.11.1983

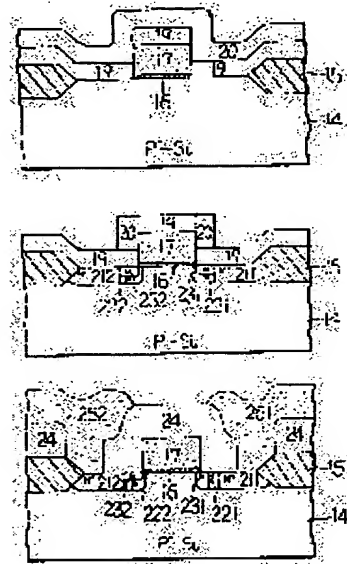
(72)Inventor : SHINADA KAZUYOSHI
SATO MASAKI

(54) MANUFACTURE OF MOS TRANSISTOR

(57)Abstract:

PURPOSE: To manufacture a P pocket LDD transistor through impurity diffusion at a time by forming a doped oxide film, to which a first impurity giving a first conduction type and a second impurity giving a second conduction type are doped, on a first conduction type semiconductor substrate.

CONSTITUTION: A gate electrode 17 and a gate oxide film 16 are formed, a doped oxide film 19 to which arsenic and boron are doped is deposited, and the doped oxide films 19 on side walls are removed. A nitride film 20 is deposited through a LPCVD method, the nitride film 20 in a flat section is removed through etching by a reactive ion gas, and the nitride films 20 are left only on the side wall sections having double layer structure. An N⁺ type drain region 211 and an N⁺ type source region 212, P type pocket regions 221, 222, an N type drain region 231 and an N type source region 232 are formed simultaneously through heat treatment in an oxygen atmosphere. Accordingly, a manufacturing process can be simplified.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-105277

⑤ Int.Cl.⁴
H 01 L 29/78
// H 01 L 21/225

識別記号

庁内整理番号

8422-5F
7738-5F

⑬ 公開 昭和60年(1985)6月10日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 MOSトランジスタの製造方法

⑮ 特 願 昭58-212050

⑯ 出 願 昭58(1983)11月11日

⑰ 発 明 者 品 田 一 義 川崎市幸区堀川町72番地 東京芝浦電気株式会社堀川町工
場内
⑱ 発 明 者 佐 藤 正 毅 川崎市幸区堀川町72番地 東京芝浦電気株式会社堀川町工
場内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑳ 代 理 人 弁 理 士 猪 股 清 外 3 名

明 細 書

1. 発明の名称

MOSトランジスタの製造方法

2. 特許請求の範囲

第1導電型半導体基板上に酸化膜を介して形成されたゲート電極と、このゲート電極の両側の前記第1導電型半導体基板上にそれぞれ形成された第2導電型のソース領域およびドレイン領域と、前記ゲート電極下のチャネル領域と前記ソース領域およびドレイン領域との間にそれぞれ形成された、前記ソース領域およびドレイン領域より不純物濃度の低い第2導電型の低濃度ソース領域および低濃度ドレイン領域と、これら低濃度ソース領域および低濃度ドレイン領域下にそれぞれ形成された第1導電型不純物領域とを有するMOSトランジスタの製造方法において、

前記第1導電型半導体基板上に酸化膜を介してゲート電極を形成する工程と、

前記第1導電型半導体基板上に第1導電型を提供する第1の不純物と第2導電型を提供する第2の不純物とをドーブしたドーブト酸化膜を形成する工程と、

このドーブト酸化膜上であつて、前記低濃度ソース領域および低濃度ドレイン領域となるべき領域上にのみ窒化膜を形成する工程と、

酸素雰囲気中にて熱処理する工程とを有することを特徴とするMOSトランジスタの製造方法。

a. 発明の詳細な説明

〔発明の技術分野〕

本発明はPポケットを有するLDD(Lightly Doped Drain)トランジスタの製造方法に関する。

〔発明の技術的背景およびその問題点〕

通常のMOSトランジスタは第1図に示すようにP型シリコン基板1上にゲート酸化膜2を形成し、イオン注入によりチャネル領域3を設けた

後ゲート電極4に対してセルフアラインでヒ素(As)をイオン注入し N^+ 型ドレイン領域51、 N^+ 型ソース領域52を形成して製造されている。しかしこのような構造のMOSトランジスタでは、 N^+ 型ドレイン領域51近傍に電界が集中し、正孔-電子対が発生するため基板電流が増大し電子がゲート電極4に注入される等の現象を生じ、動作安定性に問題があった。これに対して第2図に示すようにゲート酸化膜2の近傍に N 型ドレイン領域61と N 型ソース領域62を印加し、ドレイン領域61近傍での電界集中を緩和するLDD(Lighty Doped Drain)構造のトランジスタが注目されている。しかしながら、このLDDトランジスタにおいても高濃度、チャネル領域が存在するため、バックゲートバイアス効果により、しきい値 V_{th} の増大をもたらす欠点がある。この欠点を克服するものとして、第3図に示すような N 型ドレイン領域61と N 型ソース領域62の下に P 型領域71、72を形成するPポケット付きのLDD構造のトランジスタが提案されている。このPポケットLDD

トランジスタは、ショートチャネル効果抑制のための高エネルギーイオン注入が不要となるため、バックゲートバイアス効果によるしきい値 V_{th} の増大を考慮する必要がなくなる。

しかしながらこのような構造のMOSトランジスタを製造するためには、 N 型領域、 P 型領域、 N^+ 型領域を形成するため、3回のイオン注入が必要であり、プロセスが複雑となる問題があった。

〔発明の目的〕

本発明は上記事情を考慮してなされたもので、1回の不純物拡散でPポケットLDDトランジスタを製造することができる、半導体装置の製造方法を提供することを目的とする。

〔発明の概要〕

この目的を達成するために本発明によるMOSトランジスタの製造方法は、第1導電型半導体基板上に酸化膜を介してゲート電極を形成する工程と、前記第1導電型半導体基板上に第1導電型を提供する第1の不純物と第2導電型を提供する第2の不純物とをドーブしたドーブ酸化膜を形成

する工程と、このドーブ酸化膜上であつてポケット部となるべき領域上にのみ酸化膜を形成する工程と、酸素雰囲気中で熱処理する工程とを有することを特徴とする。

〔発明の実施例〕

実施例の説明の前に本発明の原理を第4図、第5図を用いて説明する。本発明は拡散すると N 型となる不純物のヒ素(As)が酸素雰囲気中で拡散が促進され、 P 型となる不純物のホウ素(B)が窒素雰囲気中で拡散が促進されることを利用したものである。第4図に示すように比抵抗 $\rho = 10 \sim 20 \Omega \text{ cm}$ の P^- 型シリコン基板8の上に、ヒ素を 10^{21} cm^{-3} のホウ素を 10^{19} cm^{-3} の濃度でドーブした厚さ $0.8 \mu\text{m}$ の酸化膜9を堆積する。次に左半分に酸化膜10を形成した後、酸素雰囲気中で 1000°C 、30分間の拡散をおこなう。酸化膜10がない右半分の領域では酸素雰囲気中で拡散がおこなわれるが、左半分の領域では酸化膜10があるために酸素雰囲気中でなく窒素雰囲気中で拡散がおこなわれることと等価となる。

したがって右半分の領域では第5図(b)に示すようにヒ素(As)の拡散が促進され、シート抵抗 $\rho_s = 30 \Omega/\square$ 、接合深さ $x_j = 0.4 \mu\text{m}$ の N^+ 型領域11が形成される。これに対し左半分の領域では第5図(a)に示すように、ホウ素(B)の拡散がより促進され深さ $0.15 \mu\text{m}$ 付近でヒ素(As)の不純物濃度と逆転するようになり、シート抵抗 $\rho_s = 800 \Omega/\square$ 、接合深さ $x_j = 0.15 \mu\text{m}$ の N 型領域13と、シート抵抗 $\rho_s = 2 \text{ K}\Omega/\square$ 、接合深さ $x_j = 0.4 \mu\text{m}$ の P 型領域12とが同時に形成される。

次に本発明の一実施例によるMOSトランジスタの製造方法を第6図を用いて説明する。まず比抵抗 $10 \sim 20 \Omega \text{ cm}$ の P^- 型シリコン基板14に厚さ $1.2 \mu\text{m}$ のフィールド酸化膜15を形成し、厚さ 800 \AA のゲート酸化膜16を形成する。次に製造されるMOSトランジスタのしきい値 V_{th} 制御のためホウ素(B)を $30 \text{ K}\Omega/\square$ にて $2 \times 10^{11} \text{ cm}^{-3}$ の濃度でイオン注入する(第6図(a))。次にシート抵抗 $\rho_s = 30 \Omega/\square$ 、厚さ $0.4 \mu\text{m}$ の多結晶シリコン層17を堆積し、その上にレジスト膜18を形成する。レ

ジスト膜18をマスクとして水素ガス(H_2)と塩素ガス(Cl_2)または水素ガス(H_2)とフロンガス(CF_4)とからなる反応性イオンガスにて多結晶シリコン層17、ゲート酸化膜16を順次エッチングし、長さ $1.5\mu m$ のゲート電極17、ゲート酸化膜16を形成する(第6図(b))。次にレジスト膜18を除去した後ヒ素(As)を $10^{20}cm^{-3}$ 、ホウ素(B)を $10^{18}cm^{-3}$ ドーピングした厚さ $0.3\mu m$ のドーブト酸化膜19をスパッタ法により堆積する。次にフッ化アンモニウム(NH_4F)中に10秒間浸し、上記ゲート酸化膜16、ゲート電極17からなる2層構造の側壁に堆積しているドーブト酸化膜19をとりさる。平坦部には厚さ $0.25\mu m$ のドーブト酸化膜19が残存している(第6図(c))。次にLPCVD(Low Pressure Chemical Vapor Deposition)法にて厚さ $0.25\mu m$ の窒化膜20を堆積する(第6図(d))。次に水素ガス(H_2)とフロンガス(CF_4)とからなる反応性イオンガスにて平坦部の窒化膜20をエッチング除去し、2層構造の側壁部のみ窒化膜20を残存させる。本実施例によ

ればパターンニングすることなく、Pポケット部を形成する場所のみ窒化膜20が残るように形成できる利点がある。次に酸素雰囲気中にて $1000^\circ C$ で30分間熱処理し、シート抵抗 $\rho_s = 30\Omega/\square$ 、接合深さ $x_j = 0.4\mu m$ の N^+ 型ドレイン領域211と N^+ 型ソース領域212、シート抵抗 $\rho_s = 2K\Omega/\square$ 、接合深さ $x_j = 0.4\mu m$ のP型ポケット領域221、222、シート抵抗 $\rho_s = 800\Omega/\square$ 、接合深さ $x_j = 0.15\mu m$ のN型ドレイン領域231、N型ソース領域232、を同時に形成する(第6図(e))。次に残存している窒化膜20、ドーブト酸化膜19を、水素ガス(H_2)とフロンガス(CF_4)とからなる反応性イオンガスにてエッチング除去する。その後厚さ $1.0\mu m$ のCVD酸化膜24を堆積し開口部を設ける。最後に導電材料にてドレイン電極251、ソース電極252を形成してMOSトランジスタが完全する(第6図(f))。

本実施例によれば、窒化膜をパターンニングすることなくセルフアラインで形成でき、かつ1回の拡散でP型領域、N型領域、 N^+ 型領域の形成が

可能であり、大巾を製造工程の簡略化が達成できる。

なお、先の実施例では窒化膜の形成をセルフアラインで形成したが、パターンニングにより形成してもよい。このときは任意の形状でポケット部が形成できる。またエッチングするのに反応性イオンエッチング法を、堆積するのにスパッタ法やCVD法を用いているが他の方法によりエッチングしたり、堆積したりしてもよい。

〔発明の効果〕

以上の通り本発明によればP型領域とN型領域と N^+ 領域と1度の拡散で同時に形成することができ、大巾な工程の簡略化が可能である。このような製造方法でつくられたMOSトランジスタはそのLDD構造のため、信頼性が著しく向上し、バックゲートバイアス10Vでしきい値 V_{th} の増大(ΔV_{th})を1V以下に抑制することが可能である。

4. 図面の簡単な説明

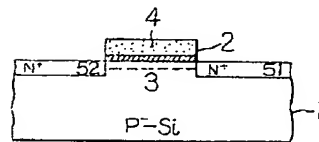
第1図は通常のMOSトランジスタの断面図、第2図はLDD構造のMOSトランジスタの断面図、第3図はPポケットLDD構造のMOSトランジスタの断面図、第4図、第5図(a)、(b)は本発明の原理を説明するための図、第6図(a)、(b)、(c)、(d)、(e)、(f)は本発明の一実施例によるPポケットLDD構造のMOSトランジスタの製造方法を示す工程図である。

1… P^- 型シリコン基板、2…ゲート酸化膜、3…チャネル領域、4…ゲート電極、51… N^+ 型ドレイン領域、52… N^+ 型ソース領域、61…N型ドレイン領域、62…N型ソース領域、71、72…P型ポケット領域、8… P^- 型シリコン基板、9…ドーブト酸化膜、10…窒化膜、11… N^+ 型拡散領域、12…P型拡散領域、13…N型拡散領域、14… P^- 型シリコン基板、15…フィールド酸化膜、16…ゲート酸化膜、17…多結晶シリコン層、18…レジスト膜、19…ドーブト酸化膜、20…窒化膜、211… N^+ 型ドレイン領域、212… N^+ 型ソース

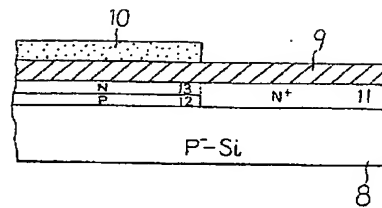
領域、221, 222…P型ポケット領域、231…N型ドレイン領域、232…N型ソース領域、24…CVD酸化膜、251…ドレイン電極、252…ソース電極。

出願人代理人 猪股 清

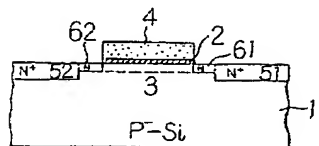
第1図



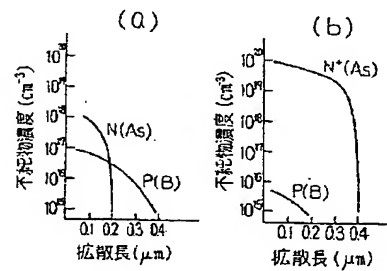
第4図



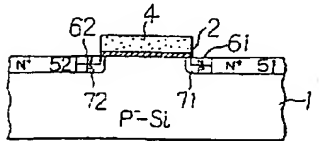
第2図



第5図



第3図



第6図

